

## COORDINATE INPUT INCORPORATED DISPLAY DEVICE

Patent Number: JP9152938  
Publication date: 1997-06-10  
Inventor(s): MORIWAKI KAZUHIKO; UEHARA HISAO; IWAKIRI MITSUAKI; TANAHASHI KEIKO  
Applicant(s): SANYO ELECTRIC CO LTD  
Requested Patent: ☐ JP9152938  
Application Number: JP19950313315 19951130  
Priority Number(s):  
IPC Classification: G06F3/033; G06F3/03  
EC Classification:  
Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To attain highly accurate coordinate input and quality picture display.  
**SOLUTION:** The shown part A (connection parts between a flat cable 65 consisting of plural conductors 67a to 67d and respective resistor plates 62, 64) and the shown part B (connection parts between a gate driver driving signal line 77 and a data driver driving signal lines 78 and respective printed wirings 79, 80 on a printed board 71) are not superposed to each other. The parts A, B are respectively arranged on linearly symmetrical positions about a center line C in the X-axis direction of respective resistors and the printed board 71. Thereby respective X coordinate detection signals propagated through the conductors 67a, 67b, respective Y coordinate detection signals propagated through the conductors 67c, 67d, a gate driver driving signal propagated through the signal line 77, and a data driver driving signal propagated through the signal line 78 are not allowed to interfere with each other.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-152938

(43)公開日 平成9年(1997)6月10日

(51)Int.Cl. <sup>8</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 0 6 F 3/033	3 5 0		G 0 6 F 3/033	3 5 0 A
3/03	3 1 0		3/03	3 1 0 N

審査請求 未請求 請求項の数4 O L (全 11 頁)

(21)出願番号 特願平7-313315

(22)出願日 平成7年(1995)11月30日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 森脇 和彦

大阪府守口市京阪本通2丁目5番5号 三

洋電機 株式会社内

(72)発明者 上原 久夫

大阪府守口市京阪本通2丁目5番5号 三

洋電機 株式会社内

(72)発明者 岩切 光明

大阪府守口市京阪本通2丁目5番5号 三

洋電機 株式会社内

(74)代理人 弁理士 風田 博宣

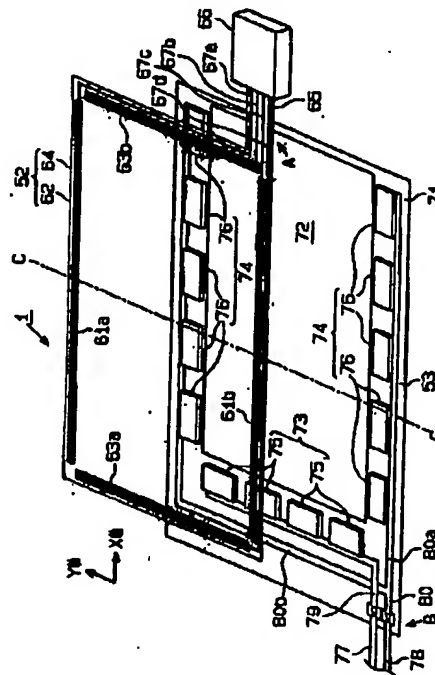
最終頁に続く

(54)【発明の名称】 座標入力一体型表示装置

(57)【要約】

【課題】高精度な座標入力および高品位な画像表示が可能な座標入力一体型表示装置を提供する。

【解決手段】図示A部(各導線67a~67dから成るフラットケーブル65と、各抵抗板62、64との接続部)と、図示B部(ゲートドライバ駆動用信号線77およびデータドライバ駆動用信号線78と、プリント基板71上の各プリント配線79、80との接続部)とが重なった位置に配置されていない。各抵抗板およびプリント基板71のX軸方向における中心線Cに対して、A部はB部と線対称な位置に配置されている。従って、各導線67a、67bを伝播する各X座標検出信号および各導線67c、67dを伝播する各Y座標検出信号と、信号線77を伝播するゲートドライバ駆動用信号および信号線78を伝播するデータドライバ駆動用信号とが、互いに干渉し合う恐れがない。



## 【特許請求の範囲】

【請求項1】 表示装置に座標入力部が備えられてなる座標入力一体型表示装置において、座標入力部(52)における座標検出信号の取り出し箇所(A、E)と、表示装置(53)における駆動制御信号の取り入れ箇所(B)とを離して配置した座標入力一体型表示装置。

【請求項2】 表示装置に座標入力部が備えられてなる座標入力一体型表示装置において、座標入力部(52)は入力パネル(62、64)を備え、表示装置(53)は入力パネルに対応した寸法形状の表示パネル(72)を備え、

座標入力部における座標検出信号の取り出し箇所(A、E)と、表示装置における駆動制御信号の取り入れ箇所(B)とを離して配置した座標入力一体型表示装置。

【請求項3】 表示装置に座標入力部が備えられてなる座標入力一体型表示装置において、座標入力部(52)は入力パネル(62、64)と、入力パネルの座標検出信号を受ける信号処理回路(66)とを備え、

表示装置(53)は、入力パネルに対応した寸法形状の表示パネル(72)と、表示パネルの周縁に配され駆動制御信号を受けて表示パネルを制御する駆動回路(92)とを備え、

座標入力部における入力パネルの座標検出信号の取り出し箇所(A、E)と、表示装置における表示パネルの駆動制御信号の取り入れ箇所(B)とを離して配置した座標入力一体型表示装置。

【請求項4】 請求項1～3のいずれか1項に記載の座標入力一体型表示装置において、前記座標検出信号の取り出し箇所と、前記駆動制御信号の取り入れ箇所とは、前記表示装置の最も短い1辺の長さと同じか、これよりも長い距離をもって離されて配置されている座標入力一体型表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は座標入力一体型表示装置に係り、詳しくは、ディジタイザ一体型液晶ディスプレイ(LCD; Liquid Crystal Display)に関するものである。

【0002】

【従来の技術】図5に、従来のディジタイザ(タブレット)一体型LCDの斜視図を示す。ディジタイザ一体型LCD51は、ディジタイザ52とLCD53とから構成されている。尚、ディジタイザ52とLCD53とは、実際には、僅かな間隙を介して対向配置されることで一体化されている。しかし、図5においては、ディジタイザ52およびLCD53の構成を分かり易くするため、両者を離して図示してある。

【0003】抵抗感圧方式のディジタイザ52は、X軸

抵抗板62とY軸抵抗板64とから構成されている。矩形の各抵抗板62、64は透明で適度な弾性を有するシートから成り、僅かな間隙をもって対向配置されている。X軸抵抗板62は、そのY軸方向の両端にX電極61a、61bを備えている。Y軸抵抗板64は、そのX軸方向の両端にY電極63a、63bを備えている。

【0004】各電極61a、61b、63a、63bはそれぞれ、各抵抗板62、64の片隅(図示A部)に接続されたフラットケーブル65を介して信号処理回路66に接続されている。そして、各X電極61a、61b間および各Y電極63a、63b間にはそれぞれ、信号処理回路66からフラットケーブル65を介して所定レベルの直流電圧が印加されている。フラットケーブル65は4本の導線67a～67dから構成され、各導線67a～67dはそれぞれ各電極61a、61b、63a、63bに接続されている。

【0005】信号処理回路66は、A/D(Analog/Digital)変換回路および演算処理回路から構成されている。このディジタイザ52を用いて座標入力を行うには、座標入力ペン68によって各抵抗板62、64上の所定点Pを押圧する。すると、両抵抗板62、64は所定点Pにおいて短絡される。その結果、各X電極61a、61b間および各Y電極63a、63b間の直流電圧はそれぞれ、所定点Pの位置に対応したものになる。そして、各X電極61a、61bの直流電圧は各導線67a、67bを介し、各X座標検出信号として信号処理回路66へ出力される。また、各Y電極63a、63bの直流電圧は各導線67c、67dを介し、各Y座標検出信号として信号処理回路66へ出力される。

【0006】信号処理回路66は、各導線67a、67bからの各X座標検出信号の直流レベルの差をA/D変換した後に演算処理を行うことで、座標入力ペン68のX座標を検出する。また、信号処理回路66は、各導線67c、67dからの各Y座標検出信号の直流レベルの差をA/D変換した後に演算処理を行うことで、座標入力ペン68のY座標を検出する。

【0007】図6に、各X座標検出信号および各Y座標検出信号の例を示す。尚、このような構成をとる抵抗感圧方式のディジタイザについては、特開平4-182812号公報(G06F 3/03 315)に開示されている。

【0008】LCD53は、薄膜トランジスタ(TFT; Thin Film Transistor)を用いたアクティブマトリックス方式をとる。LCD53は、矩形的プリント基板71上に配置された画素部(液晶パネル)72、ゲートドライバ73、データドライバ(ドレインドライバまたはソースドライバ)74から構成されている。

【0009】画素部72の寸法形状は、各抵抗板62、64のそれに対応している。ゲートドライバ73は4個の半導体チップ75から構成されており、画素部72の片側に設けられている。各半導体チップ75は、画素部

72のX軸方向の片端に対応して配列されている。データドライバ74は10個の半導体チップ76から構成されており、画素部72の両側に設けられている。各半導体チップ76は、画素部72におけるY軸方向の両端に対応して5個ずつ配列されている。各半導体チップ75、76はTAB (Tape Automated Bonding) を用いて組み立てられている。

【0010】ゲートドライバ73を駆動制御するためのゲートドライバ駆動用信号(ゲートドライバ制御信号)は、信号線77を介して外部から送られてくる。また、データドライバ74を駆動制御するためのデータドライバ駆動用信号(データドライバ制御信号)は、信号線78を介して外部から送られてくる。各信号線77、78はプリント基板71の片隅(図示B部)に接続されている。そして、各信号線77、78はそれぞれ、プリント基板71上に形成されたプリント配線79、80を介して各ドライバ73、74に接続されている。

【0011】プリント配線79は、ゲートドライバ73を構成する各半導体チップ75の外側を引き回されている。プリント配線80は途中で2本に別れ、その1本(80a)は、データドライバ74を構成する各半導体チップ76の外側へ引き回されており、他の1本(80b)は、各半導体チップ75の外側を回って各半導体チップ76の外側へ引き回されている。

【0012】図7に、アクティブマトリックス方式LCD53のブロック回路を示す。画素部72には各ゲート配線(走査線)G1...G<sub>m</sub>, G<sub>m</sub>+1...G<sub>h</sub>と各データ線(ドレイン配線)D1...D<sub>n</sub>, D<sub>n</sub>+1...D<sub>k</sub>とが配置されている。各ゲート配線と各データ線とはそれぞれ直交し、その直交部分に画素91が設けられている。尚、図7においては、ゲート配線G<sub>m</sub>とデータ線D<sub>n</sub>との直交部分に設けられた画素91だけを図示してある。そして、各ゲート配線はゲートドライバ73に接続され、ゲート信号(走査信号)が印加されるようになっている。また、各データ線はデータドライバ74に接続され、データ信号(ビデオ信号)が印加されるようになっている。これらのドライバ73、74によって周辺駆動回路部92が構成されている。

【0013】尚、各ドライバ73、74のうち少なくともいずれか一方を画素部72と同一基板上に形成したLCDは、一般にドライバー一体型(ドライバ内蔵型)LCDと呼ばれる。

【0014】画素91は、画素駆動素子としてのTFT93、液晶セルLC、補助容量(蓄積容量または付加容量)CSから構成されている。ゲート配線G<sub>m</sub>にはTFT93のゲートが接続され、データ線D<sub>n</sub>にはTFT93のドレイン(またはソース)が接続されている。そして、TFT93のソース(またはドレイン)には、液晶セルLCの表示電極(画素電極)と補助容量CSとが接続されている。この液晶セルLCと補助容量CSとによ

って信号蓄積素子が構成される。液晶セルLCの共通電極(表示電極の反対側の電極)には電圧V<sub>com</sub>が印加されている。一方、補助容量CSにおいて、TFT93のソースと接続される側の電極(以下、蓄積電極という)の反対側の電極(以下、対向電極という)には定電圧V<sub>R</sub>が印加されている。この液晶セルLCの共通電極は、文字どおり全ての画素91に対して共通した電極となっている。そして、液晶セルLCの表示電極と共通電極との間には静電容量が形成されている。尚、補助容量CSの対向電極は、隣のゲート配線G<sub>m</sub>+1と接続されている場合もある。

【0015】このように構成された画素91において、ゲート配線G<sub>m</sub>を正電圧にしてTFT93のゲートに正電圧を印加すると、TFT93がオンとなる。すると、データ線D<sub>n</sub>に印加されたデータ信号で、液晶セルLCの静電容量と補助容量CSとが充電される。反対に、ゲート配線G<sub>m</sub>を負電圧にしてTFT93のゲートに負電圧を印加すると、TFT93がオフとなり、その時点でデータ線D<sub>n</sub>に印加されていた電圧が、液晶セルLCの静電容量と補助容量CSとによって保持される。このように、画素91へ書き込みたいデータ信号をデータ線D<sub>n</sub>に与えてゲート配線G<sub>m</sub>の電圧を制御することにより、画素91に任意のデータ信号を保持させておくことができる。その画素91の保持しているデータ信号に応じて液晶セルLCの透過率が変化し、画像が表示される。

【0016】ここで、各画素91にデータ信号を書き込む方式(すなわち、LCDの駆動方式(走査方法))には、線順次駆動(線順次走査)と点順次駆動(点順次走査)とがある。線順次駆動は、1水平期間(1H)毎に、1本の走査線(ゲート配線)に接続されている全画素91に対してデータ信号を同時に書き込む(すなわち、バラレルに書き込む)方式である。一方、点順次駆動は、1水平期間中に、1本の走査線に接続されている各画素91に対してデータ信号を順次書き込んでいく(すなわち、シリアルに書き込む)方式である。ドライバー一体型LCDでは、一般に点順次駆動が用いられる。

【0017】ゲートドライバ73はシフトレジスタ(図示略)から構成され、そのシフトレジスタの各段の出力が各ゲート配線(G1...G<sub>m</sub>, G<sub>m</sub>+1...G<sub>h</sub>)に接続されている。

【0018】尚、前記ゲートドライバ駆動用信号には、ゲートドライバ73を構成するシフトレジスタのシフトクロックおよびシフト動作のスタートパルス(垂直方向のスタートパルス)などがある。

【0019】線順次駆動型のデータドライバ74は、データ線に対応して設けられた各アナログスイッチ(図示略)と、その各アナログスイッチのオン・オフ制御を行うためのシフトレジスタ(図示略)と、各アナログスイッチへ送られるデータ信号をラッチするためのデータラ

ッチ（図示略）とから構成されている。例えば、データ線Dnに対応するアナログスイッチがオンすると、そのアナログスイッチを介してデータラッチへデータ信号が送られる。そして、全てのデータラッチにそれぞれデータ信号がラッチされると、各データラッチから同時に全てのデータ線へデータ信号が送られる。

【0020】尚、前記データドライバ駆動用信号には、データドライバ74を構成するシフトレジスタのシフトクロックおよびシフト動作のスタートパルス（水平方向のスタートパルス）、データドライバ74を構成するデータラッチの出力動作を制御するデータラッチパルス、データ信号などがある。

【0021】ところで、点順次駆動型のデータドライバ74は、各アナログスイッチとシフトレジスタとから構成されており、データラッチを備えていない。そのため、前記データドライバ駆動用信号はシフトクロック、スタートパルス、データ信号からなり、データラッチパルスは含まない。

【0022】例えば、(640×480画素)のVGA (Video Graphic Array) 対応のLCD53において、前記ゲートドライバ駆動用信号および前記データドライバ駆動用信号の各周期は以下のように定められている。

①ゲートドライバ駆動用信号（ゲートドライバ制御信号）

①-（1）垂直方向のスタートパルス；1垂直期間（1V）（約16.6ms）周期

①-（2）シフトクロック；1水平期間（1H）（約32μs）周期

②データドライバ駆動用信号（データドライバ制御信号）

②-（1）水平方向のスタートパルス；1H（約32μs）周期

②-（2）データラッチパルス；1H（約32μs）周期

②-（3）シフトクロック；約40ns周期

②-（4）データ信号；約40ns周期

ところで、ディジタイザ体型LCDに用いられるLCD53には、上記したアクティブマトリックス方式に限らず、単純マトリックス方式も使用される。

【0023】単純マトリックス方式は、マトリックスに配置された各画素の液晶を走査信号に同期して外部から直接駆動する方式であり、表示電極と液晶だけでLCDの表示部である画素部（液晶パネル）が構成されている。そのため、走査線数が増大すると1つの画素に割り当てられる駆動時間（デューティ）が少なくなり、コントラストが低下するという欠点がある。

【0024】

【発明が解決しようとする課題】図5に示すように、従来のディジタイザ体型LCD51では、図示A部（各導線67a～67dから成るフラットケーブル65と、各抵抗板62、64との接続部）と、図示B部（ゲート

ドライバ駆動用信号線77およびデータドライバ駆動用信号線78と、プリント基板71上の各プリント配線79、80との接続部）とが重なった位置に配置されている。

【0025】そのため、各導線67a、67bを伝播する各X座標検出信号および各導線67c、67dを伝播する各Y座標検出信号と、信号線77を伝播するゲートドライバ駆動用信号および信号線78を伝播するデータドライバ駆動用信号とが、互いに干渉し合う恐れがあった。各座標検出信号と各ドライバ駆動用信号とが互いに干渉し合うと、ディジタイザ52における座標検出や、LCD53における画像表示に悪影響を及ぼす。特に、各座標検出信号は直流信号であるため、各ドライバ駆動用信号による干渉の影響を受けやすく、座標検出結果に誤差が生じる原因となる。

【0026】本発明は上記問題点を解決するためになされたものであって、その目的は、高精度な座標入力および高品位な画像表示が可能な座標入力一体型表示装置を提供することにある。

【0027】

【課題を解決するための手段】

【0028】

【発明の実施の形態】以下、本発明を具体化した各実施形態を図面に従って説明する。尚、各実施形態において、図5～図7に示した従来の形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0029】（第1実施形態）図1に、第1実施形態のディジタイザ一体型LCD1の斜視図を示す。尚、図1において、図5に示した従来の形態と同じ構成部材については同じ符号を用いる。

【0030】本実施形態の特徴は、図示A部（各導線67a～67dから成るフラットケーブル65と、各抵抗板62、64との接続部）と、図示B部（ゲートドライバ駆動用信号線77およびデータドライバ駆動用信号線78と、プリント基板71上の各プリント配線79、80との接続部）とが重なった位置に配置されていない点にある。本実施形態のディジタイザ一体型LCD1では、各抵抗板およびプリント基板71のX軸方向における中心線Cに対して、A部はB部と線対称な位置に配置されている。

【0031】従って、本実施形態によれば、以下の作用および効果を得ることができる。

①各導線67a、67bを伝播する各X座標検出信号および各導線67c、67dを伝播する各Y座標検出信号と、信号線77を伝播するゲートドライバ駆動用信号および信号線78を伝播するデータドライバ駆動用信号とが、互いに干渉し合う恐れがない。

【0032】②上記①より、ディジタイザ52における座標検出が前記干渉の影響を受ける恐れがなくなることから、高精度な座標検出が可能となる。

③上記①より、LCD53における画像表示が前記干渉の影響を受ける恐れがなくなることから、高品位な画像表示が可能となる。

【0033】(第2実施形態)図2に、第2実施形態のディジタイザ一体型LCD2の斜視図を示す。本実施形態においても、第1実施形態と同様に、図示A部と図示B部とが重なった位置に配置されていない。本実施形態のディジタイザ一体型LCD2では、各抵抗板およびプリント基板71のY軸方向における中心線Dに対して、A部はB部と線対称な位置に配置されている。

【0034】従って、本実施形態によれば、第1実施形態と同様の作用および効果を得ることができる。但し、本実施形態では、A部と各プリント配線79、80bとが近い位置に配置されているため、第1実施形態に比べると、若干ではあるものの前記干渉の影響を受ける恐れがある。

【0035】(第3実施形態)図3に、第3実施形態のディジタイザ一体型LCD3の斜視図を示す。本実施形態においても、第1実施形態と同様に、図示A部と図示B部とが重なった位置に配置されていない。本実施形態のディジタイザ一体型LCD3において、ディジタイザ52の各電極61a、61b、63a、63bはそれぞれ、各抵抗板62、64のY軸方向の片端の中央(図示E部)に接続されたフラットケーブル65を介して信号処理回路66に接続されている。E部は、プリント基板71において各プリント配線79、80bが設けられている辺Fとは反対側の辺Gに重なる位置に配置されている。

【0036】第1実施形態では、A部とプリント配線80aとが近い位置に配置されている。それに対して、本実施形態では、E部と各プリント配線79、80a、80bとが離れた位置に配置されている。従って、本実施形態によれば、第1実施形態よりもさらに前記干渉の影響を受け難くなり、前記②③の効果を高めることができる。

【0037】(第4実施形態)図4に、第4実施形態のディジタイザ一体型LCDにおけるディジタイザ52の要部斜視図を示す。

【0038】本実施形態のディジタイザ52において、フラットケーブル65は9本の導線67a~67d、4a~4eから構成されている。導線4aは導線67aの外側に形成され、導線4bは各導線67a、67bの間に形成され、導線4cは各導線67b、67cの間に形成され、導線4dは各導線67c、67dの間に形成され、導線4eは導線67dの外側に形成されている。そして、各導線4a~4eはグラウンドに接続されている。

【0039】従って、本実施形態によれば、各導線4a~4eのシールド作用により、各導線67a~67dの耐ノイズ性を高めることができる。そして、本実施形態と第1~第3実施形態とを併用することで、各導線67

a~67dを伝播する各座標検出信号の変動をさらに少なくすることが可能になり、前記③の効果を高めることができる。

【0040】尚、上記各実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

(1)ディジタイサ52において、信号処理回路66内のA/D変換のサンプリング周波数を高くし、A/D変換後の信号をデジタルフィルタを通して演算処理回路へ送るようにする。これにより、フラットケーブル65を構成する各導線67a~67dにノイズが乗った場合でも、座標検出結果からノイズの影響を除去することができる。

【0041】(2)ディジタイサ52において、信号処理回路66内で、各導線67a~67dに乗ったノイズの反転信号を各座標検出信号に印加することで、ノイズを打ち消すようにする。

【0042】または、第4実施形態において、各導線4a~4eをグラウンドに接続するのではなく、各導線67a~67dに乗ったノイズの反転信号を各導線4a~4eに印加する。

【0043】前記したように、ゲートドライバ駆動用信号およびデータドライバ駆動用信号は一定の周期の信号である。そのため、各駆動用信号と各座標検出信号とが干渉することによって各座標検出信号に生じるノイズは、ランダムノイズではなく一定周期のノイズとなる。従って、そのノイズの反転信号は簡単に生成することが可能であり、前記打ち消しも容易である。これにより、各導線67a~67dにノイズが乗った場合でも、座標検出結果からノイズの影響を除去することができる。

【0044】(3)LCD53において、データドライバ74を画素部72の片側だけに設ける。

(4)LCD53において、ゲートドライバ73を画素部72の両側に設ける。

【0045】(5)TFT93を画素駆動素子として用いたトランジスタ型のアクティブマトリックス方式LCD53だけでなく、バルクトランジスタを画素駆動素子として用いたトランジスタ型や、ダイオード型のアクティブマトリックス方式LCDに適用する。または、強誘電性液晶ディスプレイに適用する。

【0046】尚、ダイオード型の画素駆動素子には、MIM(Metal Insulator Metal)、ZnO(酸化亜鉛)バリスタ、MSI(Metal Semi-Insulator)、BTB(Back to Back diode)、RD(Ring Diode)などがある。

【0047】(6)TABを用いて組み立てられたLCD53ではなく、CCB(Controlled Collapse Bonding)を用いて組み立てられたLCDに適用する。

(7)TABやCCBを用いて組み立てられたLCD53ではなく、ドライバー一体型のLCDに適用する。

10

【0053】(b)表示装置はLCD53を指し、表示パネルは画素部72を指し、表示回路は各ドライバ73、74を指し、基板はプリント基板71を指すものとする。

(c) 表示制御信号は、ゲートドライバ駆動用信号およびデータドライバ駆動用信号を指すものとする。

【0054】

【発明の効果】以上詳述したように本発明によれば、高精度な座標入力および高品位な画像表示が可能な座標入力一体型表示装置を提供することができる。

【図面の簡単な説明】

【図1】第1実施形態の斜視図。

【図2】第2実施形態の斜視図。

【図3】第3実施形態の斜視図。

【図4】第4実施形態の斜視図。

【図5】従来の形態の斜視図。

【図6】各実施形態および従来の形態の波形図。

【図7】各実施形態および従来の形態のブロック回路図。

【符号の説明】

52…ディジタイザ

53...LCD

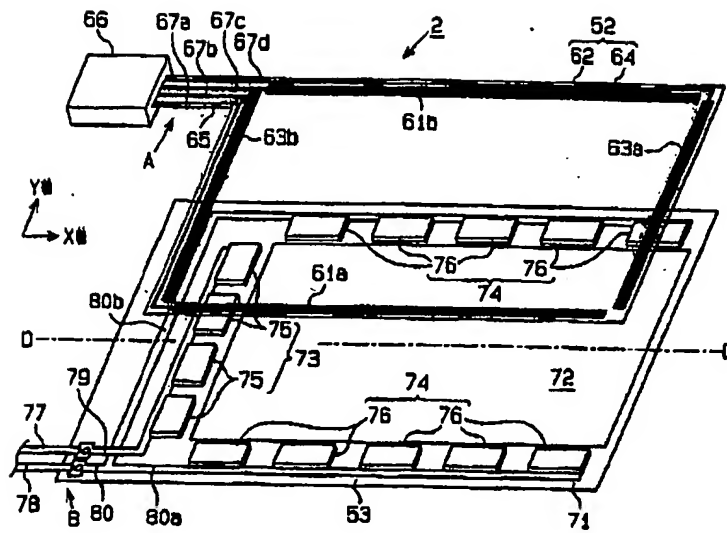
52, 64...抵抗板

72…画素部

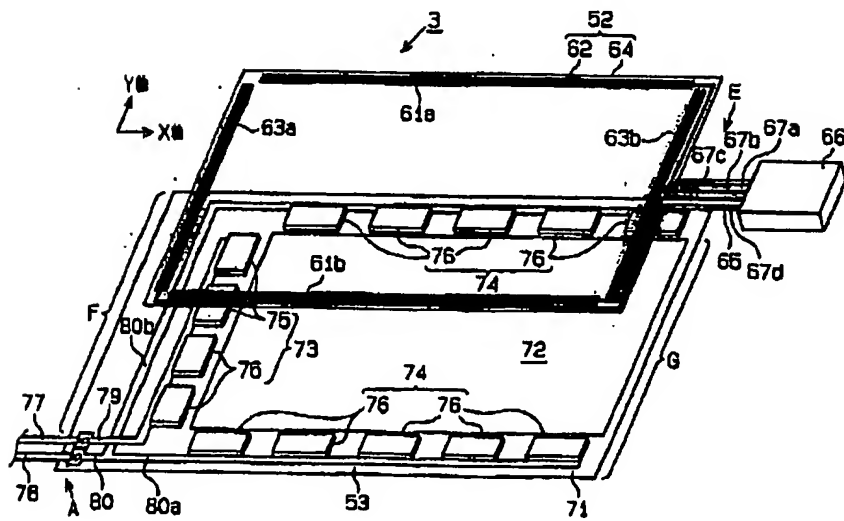
73…ゲートドライバ

74...データドライバ

【図2】



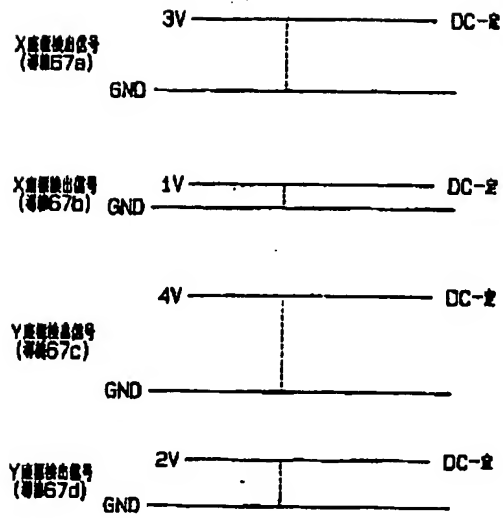
【図3】







【図6】



【課題を解決するための手段】請求項１に記載の発明は、表示装置に座標入力部が備えられてなる座標入力一体型表示装置において、座標入力部（５２）における座標検出信号の取り出し箇所（Ａ、Ｅ）と、表示装置（５３）における駆動制御信号の取り入れ箇所（Ｂ）とを離

して配置したことをその要旨とする。請求項2に記載の発明は、表示装置に座標入力部が備えられてなる座標入力一体型表示装置において、座標入力部(52)は入力パネル(62, 64)を備え、表示装置(53)は入力パネルに対応した寸法形状の表示パネル(72)を備え、座標入力部における座標検出信号の取り出し箇所(A, E)と、表示装置における駆動制御信号の取り入れ箇所(B)とを離して配置したことをその要旨とする。請求項3に記載の発明は、表示装置に座標入力部が備えられてなる座標入力一体型表示装置において、座標入力部(52)は入力パネル(62, 64)と、入力パネルの座標検出信号を受ける信号処理回路(66)とを備え、表示装置(53)は、入力パネルに対応した寸法

形状の表示パネル(72)と、表示パネルの周縁に配され駆動制御信号を受けて表示パネルを制御する駆動回路(92)とを備え、座標入力部における入力パネルの座標検出信号の取り出し箇所(A, E)と、表示装置における表示パネルの駆動制御信号の取り入れ箇所(B)とを離して配置したことをその要旨とする。請求項4に記載の発明は、請求項1～3のいずれか1項に記載の座標入力一体型表示装置において、前記座標検出信号の取り出し箇所と、前記駆動制御信号の取り入れ箇所とは、前記表示装置の最も短い1辺の長さと同じか、これよりも長い距離をもって離されて配置されていることをその要旨とする。

---

フロントページの続き

(72)発明者 棚橋 桂子  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機 株式会社内